نه طاو ته

# (12) 公開特許公報(A)

(11)特許出願公開番号

# 特開平7-263280

(43)公開日 平成7年(1995)10月13日

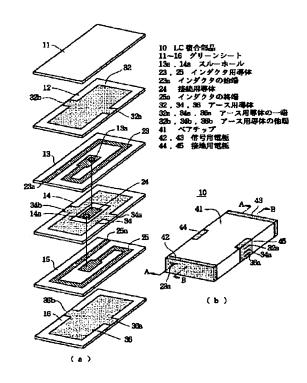
(51) Int.Cl.6		識別記号	庁内整理番号	FΙ			1	支術表示	箇所
H 0 1 G	4/40								
H01F	27/00								
H 0 3 H	7/075	Α	8321 – 5 J						
			9174-5E	H01G	4/40	3 2 1	Α		
			8123-5E	H01F	15/ 00		D		
				審査請求	未請求	請求項の数 2	OL	(全 5	頁)
(21)出願番号		特願平6-55406		(71)出願人	000006264				
					三菱マ	テリアル株式会社	生		
(22)出願日		平成6年(1994)3月25日			東京都	千代田区大手町:	1丁目5	番1号	
				(72)発明者	小島	臂			
					新潟県南	有魚沼郡大和町泊	甫佐972	番地 三	菱
					マテリス	アル株式会社セラ	ラミック	フス研究別	所浦
					佐分室P	勺			
				(74)代理人	弁理士	須田 正義			

## (54) 【発明の名称】 チップ型L C複合部品

#### (57)【要約】

【目的】 焼成による歪み、割れがなく、特性変動が少ないノイズ除去に優れたLC複合部品を得る。 基板等への表面実装が可能で小型で生産性が高い。

【構成】 ベアチップ41の両端面にインダクタの始端23a,終端25aが露出しそこに信号用電極42及び43が設けられる。ベアチップの別の両端面にアース用導体の一端32a,31a,36aが露出しそこに接地用電極44及び45が設けられる。インダクタ用導体23,25はベアチップ内部でシートに形成されたスルーホール13a,14aを介してベアチップの厚さ方向に螺旋状に一連に接続してインダクタを形成するように構成される。各アース用導体32,34,36はシート12~15を介してインダクタ用導体と重なってキャパシタを形成するように構成される。



<del>--</del>535--

₹ ta

1

#### 【特許請求の範囲】

【請求項1】 磁性体フェライト粉及び誘電体セラミッ ク粉を所定の割合で混合した複合セラミック材料から作 られた多数枚のグリーンシート(11~16)をその一部(12 ~16) にインダクタ用導体(23, 25) とアース用導体(32, 3 4,36)とを電気的に絶縁するように形成して積層した 後、この積層体をチップ状にして焼結されたペアチップ (41)を主体とし、

前記インダクタ用導体(23,25)は前記ペアチップ(41)内 部の同一平面内で少なくとも1ターン巻回することによ 10 り前記シート(13,14)に形成されたスルーホール(13a,14 a)を介してベアチップ(41)の厚さ方向に螺旋状に一連に 接続してインダクタを形成するように構成され、その始 端(23a)が前記ペアチップ(41)の第1端面に露出し、か つその終端(25a)が前記ペアチップ(41)の第2端面に露

前記アース用導体(32,34,36)は前記ペアチップ内部で前 記シート(12~15)を介して前記インダクタ用導体(23,2 5)と重なって前記インダクタ用導体(23,25)との間でキ ャパシタを形成するように構成され、かつその両端(32 20 a, 32b, 34a, 34b, 36a, 36b)が前記ペアチップ(41)の第3及 び第4端面に露出し、

前記ペアチップ(41)の第1及び第2端面に露出したイン ダクタ用導体の始端(23a)及び終端(25a)にそれぞれ電気 的に接続する第1及び第2信号用電極(42,43)が前記第 1及び第2端面に設けられ、

前記ペアチップ(41)の第3及び第4端面に露出したアー ス用導体の両端(32a, 32b, 34a, 34b, 36a, 36b)に電気的に 接続する第1及び第2接地用電極(44,45)が前記第3及 び第4端面に設けられたことを特徴とするチップ型LC 複合部品。

【請求項2】 請求項1記載のチップ型LC複合部品に おいて、磁性体フェライト粉及び誘電体セラミック粉を 所定の割合で混合した複合セラミック材料に代えて誘電 体セラミック粉のみからなるセラミック材料から作られ た多数枚のグリーンシート(11~16)をその一部(12~16) にインダクタ用導体(23,25)とアース用導体(32,34,36) とを電気的に絶縁するように形成して積層した後、この 積層体をチップ状にして焼結されたベアチップ(41)を主 体とするチップ型LC複合部品。

#### 【発明の詳細な説明】

### [0001]

【産業上の利用分野】本発明は、電子機器のノイズ除去 に適するLC複合部品に関する。更に詳しくはプリント 回路基板等に表面実装可能なキャパシタ機能とインダク 夕機能の両機能を有するチップ型のLC複合部品に関す るものである。

#### [0002]

【従来の技術】従来、インダクタとコンデンサを複合し

ている。例えば本出願人は、誘電体のセラミック層とキ ャパシタ用導体を交互に印刷積層してキャパシタ用積層 体を作り、このキャパシタ用積層体の上に、又はこれと 別個に、磁性体のセラミック層とインダクタ用導体を交 互に印刷積層してインダクタ用積層体を作り、これらの キャパシタ用積層体とインダクタ用積層体を中間層を介 して重量した状態で一体的に焼結し、内部の導体が酸出 した端部に適当な外部端子を設けたLC複合部品を提案 した (例えば特開平3-166810)。このLC複合 部品のインダクタ用積層体には、セラミック層の上に形 成されたインダクタ用導体をセラミック層に設けたスル ーホールを介して層毎に接続することにより積層体の厚 さ方向に螺旋状のインダクタが形成される。

【0003】また別のLC複合部品として、本出願人 は、フェライト焼結体内部に内部電極を設けた積層チッ プインダクタと、誘電体焼結体内部に内部電極とアース 電極を設けた積層チップコンデンサとを接着剤により一 体化し、積層チップインダクタと積層チップコンデンサ の各外部電極を互いに電気的に接続したπ型LCフィル タを特許出願した (特願平5-112642)。

#### [0004]

【発明が解決しようとする課題】しかし、特開平3-1 66810号公報に示されるLC複合部品では、キャパ シタ用積層体の熱収縮率とインダクタ用積層体の熱収縮 率が異なるため、焼成時にこの熱収縮率の差から熱応力 が生じ、中間層を介しても熱応力による歪み、割れ、特 性変動等があり、製品としての歩留まりや信頼性に劣る 欠点があった。また特願平5-112642号のπ型L Cフィルタは、上記欠点がない反面、積層チップインダ クタと積層チップコンデンサとを各別に焼結しておく必 *30* 要があり、チップインダクタとチップコンデンサの生産 管理が煩わしく、製品寸法も小型化しにくい不具合があ った。

【0005】本発明の目的は、焼成時に熱応力を極めて 小さく抑えて、歪み、割れ、特性変動の少ないチップ型 LC複合部品を提供することにある。本発明の別の目的 は、インダクタを形成するコイルパターンの巻き線間の 浮遊容量が小さく、ノイズ除去に優れたチップ型LC複 合部品を提供することにある。本発明の更に別の目的 40 は、プリント回路基板等への表面実装が可能で、小型で 生産性の高いチップ型LC複合部品を提供することにあ る。

### [0006]

【問題点を解決するための手段】上記目的を達成するた めに、本発明の構成を、実施例に対応する図1を用いて 説明する。本発明のチップ型LC複合部品10は、磁性 体フェライト粉及び誘電体セラミック粉を所定の割合で 混合した複合セラミック材料から作られた多数枚のグリ ーンシート11~16をその一部12~16にインダク てモノリシック構造としたLC複合部品は各種提案され 50 夕用導体23,25とアース用導体32,34,36と

20

を電気的に絶縁するように形成して積層した後、この積 層体をチップ状にして焼結されたペアチップ41を主体 とする。インダクタ用導体23,25はベアチップ41 内部の同一平面内で少なくとも1ターン巻回することに よりシート13,14に形成されたスルーホール13 a, 14aを介してベアチップ41の厚さ方向に螺旋状 に一連に接続してインダクタを形成するように構成さ れ、その始端23aがベアチップ41の第1端面に露出 し、かつその終端25aがベアチップ41の第2端面に 露出する。アース用導体32,34,36はペアチップ 10 内部でシート12~15を介してインダクタ用導体2 3、25と重なってインダクタ用導体23、25との間 でキャパシタを形成するように構成され、かつその両端 32a, 32b, 34a, 34b, 36a, 36bがべ アチップ41の第3及び第4端面に露出する。ベアチッ プ41の第1及び第2端面に露出したインダクタ用導体 の始端23a及び終端25aにそれぞれ電気的に接続す る第1及び第2信号用電極42、43が第1及び第2端 面に設けられる。ベアチップ41の第3及び第4端面に 露出したアース用導体の両端32a, 32b, 34a, 34b, 36a, 36bに電気的に接続する第1及び第 2接地用電極44, 45が第3及び第4端面に設けられ る。なお、上記チップ型LC複合部品において、磁性体 フェライト粉及び誘電体セラミック粉を所定の割合で混 合した複合セラミック材料に代えて誘電体セラミック粉 のみからなるセラミック材料から作られた多数枚のグリ ーンシート11~16をその一部12~16にインダク 夕用導体23,25とアース用導体32,34,36と を電気的に絶縁するように形成して積層した後、この積 層体をチップ状にして焼結されたベアチップ41を主体 30 としてもよい。

# [0007]

【作用】同一のセラミック材料より作られたグリーンシ ート12~16を用いてインダクタとキャバシタを構成 するため、工程の単純化がはかられ、焼成時の熱応力を 極めて小さく抑えることができ、ペアチップ41に歪み や割れなどのトラブルを回避できる。またインダクタ用 導体23,35と同一平面内で隣接して、或いはインダ クタ用導体23,25に上下に隣接してそれぞれアース 用導体32,34,36を配置するため、これらのイン 40 ダクタ用導体23,25により形成されたインダクタは 浮遊容量の発生が極めて少なく、しかもインダクタ用導 体23, 25とそれぞれのアース用導体32, 34, 3 6との間でキャパシタを形成するため、幅広い周波数の ノイズ除去に利用することができる。

#### [0008]

【実施例】次に本発明の実施例を図面に基づいて詳しく 説明する。本実施例のLC複合部品は磁性体フェライト 粉及び誘電体セラミック粉を所定の割合で混合した複合 セラミック材料を出発原料とする多数枚のグリーンシー 50

トを積層し、この積層体をチップ状にして焼結して作ら れる。この複合セラミック材料は一定の透磁率と誘電率 を合わせ持った複合機能材料である。この例では、磁性 体フェライト粉としてNiO, ZnO, CuO及びFe 2 O3 の各粉末を所定の割合となるように秤量した後、湿 式混合した。混合物を1000℃で2時間焼成した後、 湿式ミル粉砕し、平均粒径が約0.1 μmの磁性体フェ ライト粉を用意した。この組成はNio.24 Zno.22 Cu 6.06 F e 0.96 O 1.96 であった。また誘電体セラミック粉 としてPbO, La2O3, ZrO2, TiO2の各粉末を 所定の割合となるように秤量した後、湿式混合した。混 合物を1150℃で2時間焼成した後、湿式ミル粉砕 し、平均粒径が約0. 1 μmの誘電体セラミック粉を用 意した。この組成はPbo.88Lao.12Zro.7Tio.3O 3.05 であった。

【0009】用意した磁性体フェライト粉と誘電体セラ ミック粉を60:40の重量比で混合すると、焼結温度 が1030℃前後の複合セラミック材料が得られる。な お、この磁性体フェライト粉と誘電体セラミック粉との 混合比は60~40:40~60の範囲から適宜選定す ることが好ましい。また焼成時の磁性体フェライト粉と 誘電体セラミック粉の材料間での反応を抑え、かつ焼成 温度を低下させるために、改良材を加えることが好まし い。この改良材は、例えば組成系としてCdO-ZnO -B2O3であり、CdO, ZnO, B2O3を1:1:1 のモル比で混合した後、900℃で1時間焼成し、ミル 粉砕することにより得られ、平均粒径が約0. 1μmの 粉体である。この例では磁性体フェライト粉と誘電体セ ラミック粉と改良材を60:40:1.5の重量比で混 合し、焼結温度が950℃前後の複合セラミック材料を 得た。次に得られた複合セラミック材料を焼成時にガス 化し得るようなバインダとバインダ溶剤とともにミル混 合してスラリーを調製し、このスラリーをドクタブレー ド法によりグリーンシートに成形する。なお、このシー トは複合セラミック材料とパインダとパインダ用溶剤と を混練してペーストにし、このペーストを印刷法により 作ることもできる。

【0010】このようにして得られたグリーンシートは 多数枚積層される。一部のグリーンシートの表面には導 電性ペーストをスクリーン印刷法により塗布してインダ クタ用導体とアース用導体とが電気的に絶縁するように 形成される。グリーンシートのインダクタ用導体の相互 接続位置にはスルーホールがあけられ、必要によりスル ーホールに導電性ペーストを充填しながら所定枚数積層 される。得られた積層体は加圧成形された後、チップ状 に切断され、焼成してベアチップとなる。

【0011】図1 (a) に示すように、ここでは説明を 簡単にするために、6枚のグリーンシート11~16を 積層した例を挙げる。1枚目のグリーンシート11には 何も印刷されず導体は形成されない。3枚目及び5枚目

のグリーンシート13、15の表面にはインダクタ用導 体23,25が形成され、4枚目のグリーンシート14 の表面の中央にはインダクタ用導体23と25を電気的 に接続するための接続用導体24が形成される。更に2 枚目、4枚目及び6枚目のグリーンシート12,14, 16にはアース用導体32,34,36が形成される。

【0012】3枚目のグリーンシート13のインダクタ 用導体23の端部には下層のインダクタ用導体と接続す るためのスルーホール13 aがあけられる。4枚目のグ リーンシート14の接続用導体24の端部にはスルーホ 10 ール14aがあけられる。これらのスルーホール13 a. 14 aにより2つのインダクタ用導体23,25は 積層したときにその厚さ方向に螺旋状に一連に接続して インダクタを形成するようになっている。3枚目のグリ ーンシート13のインダクタ用導体23の一端23aが インダクタの始端としてグリーンシート13の端縁まで 延びる。5枚目のグリーンシート15のインダクタ用導 体25の一端25aはインダクタの終端としてグリーン シート15の別の端縁まで延びる。

アース用導体34は中央に設けられた接続用導体24と 電気的に絶縁される間隔をあけて形成され、それぞれ一 端34a及び他端34bがグリーンシート14の対向す る2つの側縁まで延びる。2枚月及び6枚月のグリーン シート12,16に形成されたアース用導体32,36 はインダクタ用導体23、25と重なるように構成さ れ、その一端32a, 36a及び他端32b, 36bが 対向する2つの側縁まで延びる。

【0014】これらのグリーンシート11~16を積層 し焼成すると、直方体の焼結したベアチップ41が得ら 30 れる。図1(b)、図2及び図3に示すように、このペ アチップ41の第1端面にはインダクタの始端となるイ ンダクタ用導体23の一端23aが露出し、第2端面に は図示しないがインダクタの終端となるインダクタ用導 体25の一端25aが露出する。同様にベアチップ41 の第3及び第4端面にはアース用導体32,34,36 の一端32a, 34a, 36a及び他端32b, 34 b, 36 bが露出する。第1及び第2端面に導電性ペー ストを塗布し焼付けることにより信号用電極42及び4 3が形成され、第3及び第4端面には同様にして接地用 40 電極44及び45が形成される。これによりLC複合部 品10が得られる。2つのインダクタ用導体23,25 はペアチップ41の内部でスルーホール13a,14a を介して一連に接続されインダクタを形成し、3つのア ース用導体32,34,36はシート12~15を介し

てインダクタ用導体23,25と重なってこれらのイン ダクタ用導体との間でキャパシタを形成する。この等価 回路は図4に示される。

【0015】なお、上記例で示した磁性体フェライト粉 の組成は一例であって、Ni, Zn, Cu, Mn, M g、Co等を1種又は2種以上含むものであってもよ い。また誘電体セラミック粉の組成も鉛系に限らず、チ タン酸パリウム系のものでもよい。

[0016]

【発明の効果】以上述べたように、本発明によれば、同 一のセラミック材料より作られたグリーンシートを用い てインダクタとキャパシタを構成するため、工程の単純 化がはかられ、焼成時の熱応力を極めて小さく抑えるこ とができ、ベアチップに歪みや割れなどのトラブルを回 避でき、特性変動も少ない。またインダクタ用導体と上 下に隣接してそれぞれアース用導体を配置するため、こ れらのインダクタ用導体により形成されたインダクタは 浮遊容量の発生が極めて少なく、しかもインダクタ用導 体とそれぞれのアース用導体との間でキャパシタを形成 【0013】4枚目のグリーンシート14に形成される 20 するため、幅広い周波数のノイズ除去に利用することが できる。特に誘電体のみならず磁性体の特性を有する材 料を用いることにより、十分なインダクタンスを取得で き、高性能でプリント回路基板等に表面実装可能な小型 のノイズフィルタを実現することができる。

#### 【図面の簡単な説明】

【図1】 (a) は本発明のLC複合部品の積層前のグリ ーンシートの斜視図。(b)はそのLC複合部品の斜視 図.

【図2】図1 (b) のA-A線断面図。

【図3】図1 (b) のB-B線断面図。

【図4】その等価回路図。

#### 【符号の説明】

10 LC複合部品

11~16 グリーンシート

13a, 14a スルーホール

23, 25 インダクタ用導体

23a インダクタの始端

2 4 接続用導体

25a インダクタの終端

32, 34, 36 アース用導体

32a, 34a, 36a アース用導体の一端

32b, 34b, 36b アース用導体の他端

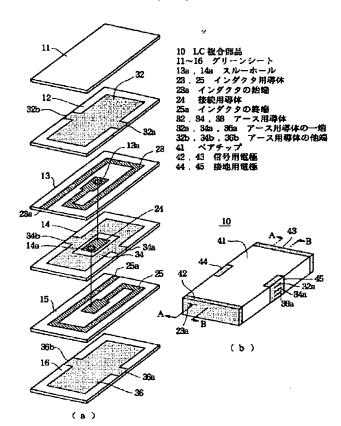
41 ベアチップ

42,43 信号用電極

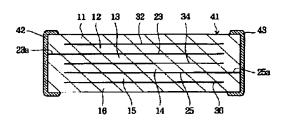
44,45 接地用電極

【図1】

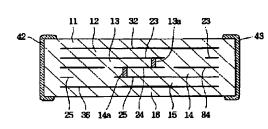
- d b -



[図2]



【図3】



[図4]

